

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077569

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 23/12

H01L 21/60

H05K 1/18

(21)Application number : 10-355837

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 15.12.1998

(72)Inventor : YAGI YUJI
ANPO TAKEO

(30)Priority

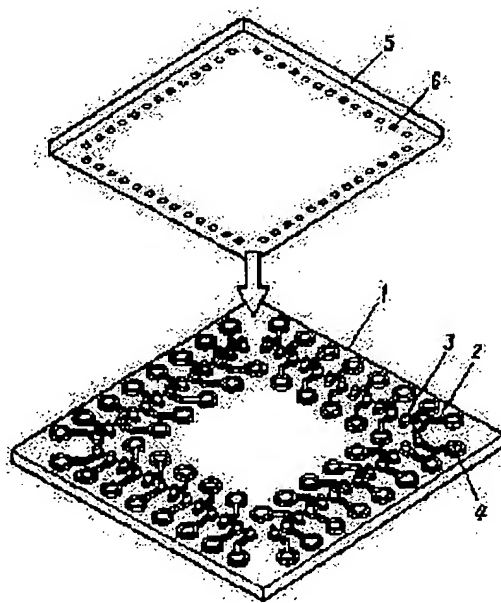
Priority number : 10166648 Priority date : 15.06.1998 Priority country : JP

(54) BOARD, SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily form projections of stable shape with respect to a board and a semiconductor device for use in information communication equipment and the like and a method for their manufacture.

SOLUTION: When an electronic component 5 is mounted on the surface of a board 1, projections 3 formed in desired positions on a wiring pattern 2 formed on the board 1 and the electrode portions 6 formed on the electronic component 5 mounted on the board 1 are connected electrically with each other. By integrally and simultaneously forming the wiring pattern 2 and the projections 3 at this time, the projections 3 can be formed very simply and efficiently, and furthermore the projections 3 can always be formed readily with stable shape.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection][Kind of final disposal of application other than
the examiner's decision of rejection or

BEST AVAILABLE COPY

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-77569
(P2000-77569A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	N
21/60	3 1 1	21/60	3 1 1 S
		H 0 5 K 1/18	L
H 0 5 K 1/18		H 0 1 L 21/92	6 0 3 F
			6 0 4 F

審査請求 未請求 請求項の数45 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平10-355837

(22) 出願日 平成10年12月15日 (1998.12.15)

(31) 優先権主張番号 特願平10-166648

(32) 優先日 平成10年6月15日 (1998.6.15)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 八木 優治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 安保 武雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

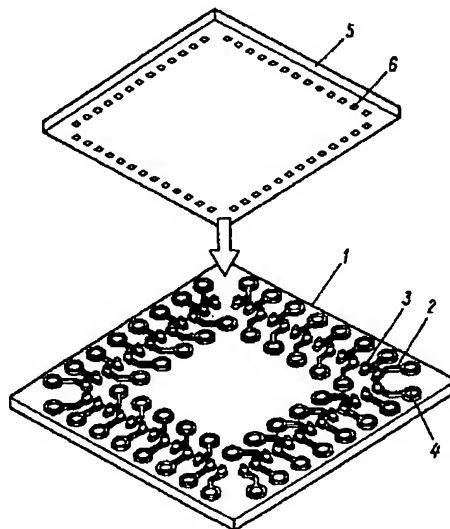
(54) 【発明の名称】 基板および半導体装置とその製造方法

(57) 【要約】

【課題】 本発明は、情報通信機器等に使用される基板および半導体装置とその製造方法に関するもので、常に安定した形状の突起部を簡単に形成することを目的とする。

【解決手段】 本発明は、基板1表面に電子部品5を実装する際に、基板1表面に設けられた配線パターン2の所望位置に設けられた突起部3と、基板1表面に実装される電子部品5に設けられた電極部6とが電氣的に接続されるように構成し、配線パターン2と突起部3とを一体にかつ同時に形成することにより、非常に簡単に効率よく突起部3を形成することができるとともに、突起部3の形状を簡単にかつ常に安定した形状で形成することができる。

- 1 基板
- 2 配線パターン
- 3 突起部
- 4 スルーホール電極部
- 5 半導体(パッケージ)
- 6 電極部



【特許請求の範囲】

【請求項1】 その表面に電子部品を実装するための基板であって、前記基板の表面に設けられた配線パターンと、前記配線パターンの所望位置に設けられた突起部とを備え、前記突起部は前記基板に実装される電子部品に設けられた電極部と電気的に接続されるとともに、前記配線パターンと同一の導電性材料で構成されていることを特徴とする基板。

【請求項2】 配線パターンと突起部とが一体に構成されていることを特徴とする請求項1記載の基板。

【請求項3】 突起部先端の表面粗さが粗に形成された請求項1記載の基板。

【請求項4】 基板または配線パターンまたは突起部にエッチング処理またはブラスト処理が施された請求項3記載の基板。

【請求項5】 突起部の先端部と実装される電子部品の電極部表面とが金属結合により電気的に接続されていることを特徴とする請求項1記載の基板。

【請求項6】 突起部がAuペーストで構成されるとともに、実装される電子部品の電極部がAlで構成されていることを特徴とする請求項1記載の基板。

【請求項7】 突起部の先端部と電子部品の電極部表面とがAl-Auの共晶結合により電気的に接続されていることを特徴とする請求項6記載の基板。

【請求項8】 突起部がAg-Pdペーストで構成されるとともに、実装される電子部品の電極部がAlで構成されていることを特徴とする請求項1記載の基板。

【請求項9】 実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが導電ペーストを介して電気的に接続されていることを特徴とする請求項8記載の基板。

【請求項10】 突起部の先端部の形状が凸状に形成されていることを特徴とする請求項9記載の基板。

【請求項11】 実装される電子部品の下面と基板との間に封止剤を充填したことを特徴とする請求項1記載の基板。

【請求項12】 基板が多層基板であることを特徴とする請求項1記載の基板。

【請求項13】 実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが半田を介して電気的に接続されていることを特徴とする請求項8記載の基板。

【請求項14】 実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが異方性導電樹脂を介して電気的に接続されていることを特徴とする請求項8記載の基板。

【請求項15】 突起部が、平坦な金属面または実装される電子部品の電極部で負荷を加えられることにより、レベリングされていることを特徴とする請求項1記載の

基板。

【請求項16】 実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項6記載の基板。

【請求項17】 突起部および実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項8記載の基板。

【請求項18】 基板と、前記基板の表面に設けられた配線パターンと、前記配線パターンの所望位置に設けられた突起部とを備え、前記突起部は前記基板に実装される半導体チップ部品に設けられた電極部と電気的に接続されるとともに、前記配線パターンと同一の導電性材料で構成されていることを特徴とする半導体装置。

【請求項19】 配線パターンと突起部とが一体に構成されていることを特徴とする請求項18記載の半導体装置。

【請求項20】 突起部先端の表面粗さが粗に形成された請求項18記載の半導体装置。

【請求項21】 基板または配線パターンまたは突起部にエッチング処理またはブラスト処理が施された請求項20記載の半導体装置。

【請求項22】 突起部の先端部と半導体チップ部品の電極部表面とが金属結合により電気的に接続されていることを特徴とする請求項18記載の半導体装置。

【請求項23】 突起部がAuペーストで構成されるとともに、半導体チップ部品の電極部がAlで構成されていることを特徴とする請求項18記載の半導体装置。

【請求項24】 突起部の先端部と半導体チップ部品の電極部表面とがAl-Auの共晶結合により電気的に接続されていることを特徴とする請求項23記載の半導体装置。

【請求項25】 突起部がAg-Pdペーストで構成されるとともに、半導体チップ部品の電極部がAlで構成されていることを特徴とする請求項18記載の半導体装置。

【請求項26】 半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが導電ペーストを介して電気的に接続されていることを特徴とする請求項25記載の半導体装置。

【請求項27】 突起部の先端部の形状が凸状に形成されていることを特徴とする請求項26記載の半導体装置。

【請求項28】 実装される半導体チップ部品の下面と基板との間に封止剤を充填したことを特徴とする請求項18記載の半導体装置。

【請求項29】 基板が多層基板であることを特徴とする

る請求項18記載の半導体装置。

【請求項30】 半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが半田を介して電氣的に接続されていることを特徴とする請求項25記載の半導体装置。

【請求項31】 半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが異方性導電樹脂を介して電氣的に接続されていることを特徴とする請求項25記載の半導体装置。

【請求項32】 突起部が、平坦な金属面または半導体チップ部品の電極部で負荷を加えられることにより、レベルングされていることを特徴とする請求項18記載の半導体装置。

【請求項33】 半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項23記載の半導体装置。

【請求項34】 突起部および半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項25記載の半導体装置。

【請求項35】 基板表面に電子部品を実装する際に、前記基板表面に設けられた配線パターンの所望位置に設けられた突起部と、前記基板表面に実装される電子部品に設けられた電極部とが電氣的に接続されるように構成された基板の製造方法であって、前記配線パターンと前記突起部とを一体にかつ同時に形成することを特徴とする基板の製造方法。

【請求項36】 フィルムに所望の配線パターン形状の第1の溝部を形成するとともに、前記第1の溝部の所望位置に突起形状の第2の溝部を形成する工程と、前記第1及び第2の溝部に導電性材料を充填する工程と、前記導電性材料が充填されフィルムを接着層を介して基板に転写し焼成する工程とを備え、前記基板に実装される電子部品に設けられた電極部と電氣的に接続される突起部が配線パターンと一体にかつ同時に形成されることを特徴とする基板の製造方法。

【請求項37】 突起部および配線パターンが形成された基板を化学処理または機械加工により前記突起部先端の表面粗さを粗にする工程を有する請求項35または36記載の基板の製造方法。

【請求項38】 エッチング処理またはブラスト処理により突起部先端の表面粗さを粗にした請求項37記載の基板の製造方法。

【請求項39】 配線パターンと突起部とを同一の導電性材料で形成することを特徴とする請求項35または36記載の基板の製造方法。

【請求項40】 基板表面に配線パターンを形成すると

ともに、前記配線パターンの所望位置に突起部を形成する工程と、前記突起部と前記基板表面に実装される半導体チップ部品に設けられた電極部とを電氣的に接続する工程とを備え、前記配線パターンと前記突起部とを一体にかつ同時に形成することを特徴とする半導体装置の製造方法。

【請求項41】 フィルムに所望の配線パターン形状の第1の溝部を形成するとともに、前記第1の溝部の所望位置に突起形状の第2の溝部を形成する工程と、前記第1及び第2の溝部に導電性材料を充填する工程と、前記導電性材料が充填されフィルムを接着層を介して基板に転写し焼成する工程と、前記突起部と半導体チップ部品に設けられた電極部とを電氣的に接続する工程とを備え、前記配線パターンと前記突起部とを一体にかつ同時に形成することを特徴とする半導体装置の製造方法。

【請求項42】 突起部と半導体チップ部品に設けられた電極部を電氣的に接続する工程の前に、前記突起部を平坦な金属面または前記電極部で負荷を加えることによりレベルングする工程を備えたことを特徴とする請求項40または41記載の半導体装置の製造方法。

【請求項43】 突起部および配線パターンが形成された基板を化学処理または機械加工により前記突起部先端の表面粗さを粗にする工程を有する請求項40または41記載の半導体装置の製造方法。

【請求項44】 エッチング処理またはブラスト処理により突起部先端の表面粗さを粗にした請求項43記載の半導体装置の製造方法。

【請求項45】 配線パターンと突起部とを同一の導電性材料で形成することを特徴とする請求項40または41記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報通信機器等に使用される基板および半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】近年、情報通信機器関連の発達と、高速信号処理、高周波化に対応して、半導体装置には、低コストで、小型・軽量・薄型化の要求が高まってきている。そして、半導体IC（ベアチップ）と同等レベルまで小型化された商品が、いろいろな形態で提案されている。以下、これらを半導体装置と総称して呼ぶ。

【0003】現在、一般的な半導体装置の構造としては、図8および図9に示されるように、基板101上に半導体IC105の電極部106と対向するように電極パッド103aを設け、さらにその電極パッド103aからマザー基板（図示せず）に電氣的に接続するための配線パターン102を設けたものであった。そして、この半導体IC105の電極部106と基板101の電極パッド103aとの接続を、半導体IC105の各電極

部106上に形成された半田バンプ等の突起部103bを介して行い、これらの突起部103bは、図10に示されるようなバンプ装置110を用いて各電極部106上に1つ1つ個別に形成していくものであった。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、突起部103bを各電極部106上に1つ1つ形成する必要があるため、必然的に突起部103bの形成時間が長くなるとともに、実装時間の短縮にも限界があり、生産の効率化による半導体装置のコストダウン化が図りにくいものであった。また、半導体IC105の電極部106と基板101の電極パッド103aとの導通を確実にを行うためには、各電極部106上に設けられた突起部103bの形状、特に高さ形状を常に一定に揃える必要があり、そのため従来のような個別に各電極部106上に突起部103bを形成する方法では、常に安定した形状の突起部103bを形成することが非常に困難であった。

【0005】本発明は、上記課題を解決するためのものであり、常に安定した形状の突起部を有する基板および半導体装置とその製造方法を実現することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために本発明は、基板に形成された配線パターン上に、かつ実装する電子部品の電極部と対向する位置に、突起部を配線パターンと同一の導電性材料で形成した構成を有している。

【0007】この構成により、配線パターン上に突起部が一体で形成されるため、その形状を簡単に常に一定に揃えることができるとともに、電極部と突起部との導通も確実に図ることができる。

【0008】

【発明の実施の形態】本発明の請求項1に記載の発明は、その表面に電子部品を実装するための基板であって、前記基板の表面に設けられた配線パターンと、前記配線パターンの所望位置に設けられた突起部とを備え、前記突起部は前記基板に実装される電子部品に設けられた電極部と電気的に接続されるとともに、前記配線パターンと同一の導電性材料で構成されていることを特徴とする基板であり、これにより、配線パターン側に突起部を設けることができるため、すなわち実装される電子部品の電極部の位置に合わせてその対応する位置の配線パターン上に突起部を形成することができるため、突起部を簡単にかつ常に安定した形状で形成することができる。また、配線パターンと同一の導電性材料で突起部を形成することができるため、突起部と配線パターンとの電気的な接続を確実に行うことができ、実装される電子部品の電極部と突起部との電気的な接続も確実に行うことができるという作用を有する。

【0009】本発明の請求項2に記載の発明は、配線パターンと突起部とが一体に構成されていることを特徴とする請求項1記載の基板であり、これにより、配線パターンと同時に突起部を一体に形成することができるため、非常に簡単に効率よく突起部を形成することができるとともに、突起部の形状を簡単にかつ常に安定した形状で形成することができるという作用を有する。

【0010】本発明の請求項3に記載の発明は、突起部先端の表面粗さが粗に形成された請求項1記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0011】本発明の請求項4に記載の発明は、基板または配線パターンまたは突起部にエッチング処理またはブラスト処理が施された請求項3記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0012】本発明の請求項5に記載の発明は、突起部の先端部と実装される電子部品の電極部表面とが金属結合により電気的に接続されていることを特徴とする請求項1記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0013】本発明の請求項6に記載の発明は、突起部がAuペーストで構成されるとともに、実装される電子部品の電極部がAlで構成されていることを特徴とする請求項1記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0014】本発明の請求項7に記載の発明は、突起部の先端部と電子部品の電極部表面とがAl-Auの共晶結合により電気的に接続されていることを特徴とする請求項6記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0015】本発明の請求項8に記載の発明は、突起部がAg-Pdペーストで構成されるとともに、実装される電子部品の電極部がAlで構成されていることを特徴とする請求項1記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0016】本発明の請求項9に記載の発明は、実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが導電ペーストを介して電気的に接続されていることを特徴とする請求項8記載の基板であり、これにより、実装される電子部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0017】本発明の請求項10に記載の発明は、実装

される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが導電ペーストを介して電氣的に接続されていることを特徴とする請求項8記載の基板であり、かつ突起部が凸状を成すことにより、突起部への導電ペーストの転写ばらつきを低減し、実装される電子部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0018】本発明の請求項11に記載の発明は、実装される電子部品の下面と基板との間に封止剤を充填したことを特徴とする請求項1記載の基板であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0019】本発明の請求項12に記載の発明は、基板が多層基板であることを特徴とする請求項1記載の基板であり、これにより、実装密度をより高めることができるという作用を有する。

【0020】本発明の請求項13に記載の発明は、実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが半田を介して電氣的に接続されていることを特徴とする請求項8記載の基板であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0021】本発明の請求項14に記載の発明は、実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが異方性導電樹脂を介して電氣的に接続されていることを特徴とする請求項8記載の基板であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0022】本発明の請求項15に記載の発明は、突起部が、平坦な金属面または実装される電子部品の電極部で負荷を加え、レベリングされていることを特徴とする請求項1記載の基板であり、これにより、実装される電子部品の電極部と突起部との隙間ばらつきを低減し、電氣的な接続をより確実に行うことができるという作用を有する。

【0023】本発明の請求項16に記載の発明は、実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項6記載の基板であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0024】本発明の請求項17に記載の発明は、突起部および実装される電子部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理

された電極部とがAu-Auにより金属接合されていることを特徴とする請求項8記載の基板であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0025】本発明の請求項18に記載の発明は、基板と、前記基板の表面に設けられた配線パターンと、前記配線パターンの所望位置に設けられた突起部とを備え、前記突起部は前記基板に実装される半導体チップ部品に設けられた電極部と電氣的に接続されるとともに、前記配線パターンと同一の導電性材料で構成されていることを特徴とする半導体装置であり、これにより、配線パターン側に突起部を設けることができるため、すなわち実装される半導体チップ部品の電極部の位置に合わせてその対応する位置の配線パターン上に突起部を形成することができるため、突起部を簡単にかつ常に安定した形状で形成することができる。また、配線パターンと同一の導電性材料で突起部を形成することができるため、突起部と配線パターンとの電氣的な接続を確実に行うことができ、実装される半導体チップ部品の電極部と突起部との電氣的な接続も確実に行うことができるという作用を有する。

【0026】本発明の請求項19に記載の発明は、配線パターンと突起部とが一体に構成されていることを特徴とする請求項18記載の半導体装置であり、これにより、配線パターンと同時に突起部を一体に形成することができるため、非常に簡単に効率よく突起部を形成することができるとともに、突起部の形状を簡単にかつ常に安定した形状で形成することができるという作用を有する。

【0027】本発明の請求項20に記載の発明は、突起部先端の表面粗さが粗に形成された請求項18記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0028】本発明の請求項21に記載の発明は、基板または配線パターンまたは突起部にエッチング処理またはブラスト処理が施された請求項20記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0029】本発明の請求項22に記載の発明は、突起部の先端部と半導体チップ部品の電極部表面とが金属結合により電氣的に接続されていることを特徴とする請求項18記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0030】本発明の請求項23に記載の発明は、突起部がAuペーストで構成されるとともに、半導体チップ部品の電極部がAlで構成されていることを特徴とする

請求項18記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0031】本発明の請求項24に記載の発明は、突起部の先端部と半導体チップ部品の電極部表面とがAu-Auの共晶結合により電気的に接続されていることを特徴とする請求項23記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0032】本発明の請求項25に記載の発明は、突起部がAg-Pdペーストで構成されるとともに、半導体チップ部品の電極部がAuで構成されていることを特徴とする請求項18記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0033】本発明の請求項26に記載の発明は、半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが導電ペーストを介して電気的に接続されていることを特徴とする請求項25記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0034】本発明の請求項27に記載の発明は、半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが導電ペーストを介して電気的に接続されていることを特徴とする請求項25記載の半導体装置であり、かつ突起部が凸状を成すことにより、突起部への導電ペーストの転写ばらつきを低減し、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0035】本発明の請求項28に記載の発明は、実装される半導体チップ部品の下面と基板との間に封止剤を充填したことを特徴とする請求項18記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0036】本発明の請求項29に記載の発明は、基板が多層基板であることを特徴とする請求項18記載の半導体装置であり、これにより、実装密度をより高めることができるという作用を有する。

【0037】本発明の請求項30に記載の発明は、半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが半田を介して電気的に接続されていることを特徴とする請求項25記載の半導体装置であり、これにより、実

装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0038】本発明の請求項31に記載の発明は、半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とが異方性導電樹脂を介して電気的に接続されていることを特徴とする請求項25記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0039】本発明の請求項32に記載の発明は、突起部が、平坦な金属面または半導体チップ部品の電極部で負荷を加え、レベリングされていることを特徴とする請求項18記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との隙間ばらつきを低減し、電気的な接続をより確実に行うことができるという作用を有する。

【0040】本発明の請求項33に記載の発明は、半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項23記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0041】本発明の請求項34に記載の発明は、突起部および半導体チップ部品の電極部表面がAuメッキ処理されているとともに、突起部とこのAuメッキ処理された電極部とがAu-Auにより金属接合されていることを特徴とする請求項25記載の半導体装置であり、これにより、実装される半導体チップ部品の電極部と突起部との電気的な接続をより確実に行うことができるという作用を有する。

【0042】本発明の請求項35に記載の発明は、基板表面に電子部品を実装する際に、前記基板表面に設けられた配線パターンの所望位置に設けられた突起部と、前記基板表面に実装される電子部品に設けられた電極部とが電気的に接続されるように構成された基板の製造方法であって、前記配線パターンと前記突起部とを一体にかつ同時に形成することを特徴とする基板の製造方法であり、これにより、配線パターンと同時に突起部を一体に形成することができるため、非常に簡単に効率よく突起部を形成することができるとともに、突起部の形状を簡単にかつ常に安定した形状で形成することができるという作用を有する。

【0043】本発明の請求項36に記載の発明は、フィルムに所望の配線パターン形状の第1の溝部を形成するとともに、前記第1の溝部の所望位置に突起形状の第2の溝部を形成する工程と、前記第1及び第2の溝部に導

電性材料を充填する工程と、前記導電性材料が充填されフィルムを接着層を介して基板に転写し焼成する工程とを備え、前記基板に実装される電子部品に設けられた電極部と電氣的に接続される突起部が配線パターンと一体にかつ同時に形成されることを特徴とする基板の製造方法であり、これにより、配線パターンと同時に突起部を一体に形成することができるため、非常に簡単に効率よく突起部を形成できるとともに、突起部の形状を簡単にかつ常に安定した形状で形成することができるという作用を有する。

【0044】本発明の請求項37に記載の発明は、突起部および配線パターンが形成された基板を化学処理または機械加工により前記突起部先端の表面粗さを粗にする工程を有する請求項35または36記載の基板の製造方法であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続も確実に行うことができるという作用を有する。

【0045】本発明の請求項38に記載の発明は、エッチング処理またはブラスト処理により突起部先端の表面粗さを粗にした請求項37記載の基板の製造方法であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続も確実に行うことができるという作用を有する。

【0046】本発明の請求項39に記載の発明は、配線パターンと突起部とを同一の導電性材料で形成することを特徴とする請求項35または36記載の基板の製造方法であり、これにより、実装される電子部品の電極部と突起部との電氣的な接続も確実に行うことができるという作用を有する。

【0047】本発明の請求項40に記載の発明は、基板表面に配線パターンを形成するとともに、前記配線パターンの所望位置に突起部を形成する工程と、前記突起部と前記基板表面に実装される半導体チップ部品に設けられた電極部とを電氣的に接続する工程とを備え、前記配線パターンと前記突起部とを一体にかつ同時に形成することを特徴とする半導体装置の製造方法であり、これにより、配線パターンと同時に突起部を一体に形成することができるため、非常に簡単に効率よく突起部を形成できるとともに、突起部の形状を簡単にかつ常に安定した形状で形成することができるという作用を有する。

【0048】本発明の請求項41に記載の発明は、フィルムに所望の配線パターン形状の第1の溝部を形成するとともに、前記第1の溝部の所望位置に突起形状の第2の溝部を形成する工程と、前記第1及び第2の溝部に導電性材料を充填する工程と、前記導電性材料が充填されフィルムを接着層を介して基板に転写し焼成する工程と、前記突起部と半導体チップ部品に設けられた電極部とを電氣的に接続する工程とを備え、前記配線パターンと前記突起部とを一体にかつ同時に形成することを特徴と

する半導体装置の製造方法であり、これにより、配線パターンと同時に突起部を一体に形成することができるため、非常に簡単に効率よく突起部を形成できるとともに、突起部の形状を簡単にかつ常に安定した形状で形成することができるという作用を有する。

【0049】本発明の請求項42に記載の発明は、突起部と半導体チップ部品に設けられた電極部を電氣的に接続する工程の前に、前記突起部を、平坦な面または前記電極部で負荷を加え、レベルリングする工程を備えたことを特徴とする請求項40または41記載の半導体装置の製造方法であり、これにより、実装される半導体チップ部品の電極部と突起部との隙間ばらつきを低減し、電氣的な接続をより確実に行うことができるという作用を有する。

【0050】本発明の請求項43に記載の発明は、突起部および配線パターンが形成された基板を化学処理または機械加工により前記突起部先端の表面粗さを粗にする工程を有する請求項40または41記載の半導体装置の製造方法であり、これにより、実装される半導体チップ部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0051】本発明の請求項44に記載の発明は、エッチング処理またはブラスト処理により突起部先端の表面粗さを粗にした請求項43記載の半導体装置の製造方法であり、これにより、実装される半導体チップ部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0052】本発明の請求項45に記載の発明は、配線パターンと突起部とを同一の導電性材料で形成することを特徴とする請求項40または41記載の半導体装置の製造方法であり、これにより、実装される半導体チップ部品の電極部と突起部との電氣的な接続をより確実に行うことができるという作用を有する。

【0053】以下、本発明の実施の形態について、図面を用いて説明する。

(実施の形態1) 図1は本発明の実施の形態1における半導体とそれを実装する基板の構成を示す斜視図であり、図2は同実施の形態における半導体を基板に実装した際の断面図である。

【0054】図1において、5は半導体（ベアチップ）であり、その下面の周囲（ペリフェラル）に複数の電極部6が形成されている。一般にこの電極部6はAlで形成された電極にAuメッキ処理が施されているが、電解メッキ、無電解メッキ等の処理がされているものもある。また、電極部6は半導体5の下面の周囲だけでなく内側にも形成されたものがある。

【0055】次に、1はセラミックあるいはガラエポ樹脂等からなる基板で、その上面にAg、Ag-Pd、Cu等の導電性材料からなる複数の配線パターン2が形成されている。そしてその一端にかつ半導体5の電極部6

と対向する位置に突起部3が形成されており、半導体5を基板1に実装した際に、この突起部3と電極部6とが図2に示すようにAg-PdあるいはAg等の導電ペースト8を介して電氣的に接続されるように形成されている。

【0056】ここで、突起部3は配線パターン2と同一の材料で配線パターン2と一体に形成されており、また導電ペースト8は突起部3と電極部6との接続を安定するために、また熱応力を緩和するために設けられている。

【0057】一方、配線パターン2の他端には、スルーホール電極部4が形成されており、Ag-PdあるいはAg等の導電ペーストが充填されている。これにより、基板1の表面側と裏面側との導通が図られ、図2に示されるような裏面側に設けられたA1等からなる裏面電極部9a上にPb, Sn, Ag等からなる半田ボール9を設けることにより、マザー基板(図示せず)への実装を簡単に行うことができる。

【0058】なお、突起部3およびスルーホール電極部4は配線パターン2の両端にそれぞれ設けられているが、これに限定されるものではなく、それぞれ配線パターン2の途中に設けても良く、これにより、配線パターン2の設計自由度を大きくすることができる。また、実装される部品は半導体5に限らず、他のチップコンデンサやチップ抵抗器等のようなチップ部品を用いても良く、半導体基板(装置)に限らず、回路基板としても利用することができる。

【0059】次に、図2において、7は突起部3と電極部6の接続部を覆うように半導体5と基板1との間に封入されたエポキシ樹脂等からなる封止部材であり、これにより突起部3と電極部6との接続部を保護することができる。10は配線パターン2を覆うように設けられたガラスペーストあるいはエポキシ樹脂等からなる絶縁層であり、これにより配線パターン2を保護することができる。これらにより長期信頼性を確保することができる。

【0060】次に、本発明の実施の形態1における突起部の形成方法について図面を参照しながら説明する。

【0061】図3は本発明の実施の形態1における突起部の形成方法を示す工程図であり、それぞれ(a)はフィルムへの溝部形成工程、(b)は溝部への導電性材料充填工程、(c)は基板への導電性材料転写工程を示している。

【0062】図3(a)において、20はポリイミド等の樹脂系のフィルムであり、エキシマレーザあるいはO₂レーザ等のレーザ光21をスキャン照射あるいは一括照射することによりフィルム20の分子結合を切断して飛散させることにより、第1の溝部22および第2の溝部23を形成している。

【0063】ここで、第2の溝部23は第1の溝部22

よりも深く溝部が形成されているが、その方法としては、第2の溝部23へのレーザ光の照射回数を第1の溝部22よりも多くする方法や、第2の溝部23へのレーザ光の照射パワーを第1の溝部22よりも強くする方法等がある。

【0064】次に、図3(b)において、24はAg, Ag-Pd, Au, Cu等の導電性材料であり、セラミックあるいはシリコンゴムからなるスキージ25により、第1の溝部22および第2の溝部23へ充填される。

【0065】ここで、第2の溝部23は、第1の溝部22に比べ溝幅が狭くて深いので、導電性材料24を完全に充填することが難しいが、その対策としては、充填を数回繰り返したり、その際遠心力を利用して充填を行ったり、あるいは導電性材料24に含まれるフィラの粒径を小さくするなどして、完全にかつ効率よく導電性材料24が充填されるように工夫している。

【0066】次に、図3(c)において、26は接着層であり、この上面に上述で作成したフィルム20を目視あるいは画像認識による位置合わせを行いながら貼り合わせ、フィルム20をはがすことにより、第1の溝部22および第2の溝部23に埋め込まれた導電性材料24が転写され、転写後、約850℃で焼成することにより、転写物が固められる。このとき、第1の溝部22に埋め込まれていた部分が配線パターン2となり、第2の溝部23に埋め込まれていた部分が突起部3となる。

【0067】ここで、第1の溝部22および第2の溝部23に埋め込まれた導電性材料24をフィルム20から形状を損なうことなく剥離させるために、接着層26がフィルム20の転写前に基板1全体に均一に塗布されており、これにより転写物のみを接着固定してフィルム20のみをより剥離しやすくしている。なお、この接着層26は、転写後の焼成により飛散してしまうものである。

【0068】また、基板1とフィルム20との膨張係数の違いを利用して剥離しやすくする方法もあり、例えば基板1側を冷やすことにより収縮させても、その温度ではフィルム20は収縮しないため、この差を利用してフィルム20をより剥離しやすくすることができる。

【0069】以上のように、本実施の形態によれば、基板1の配線パターン2の形成と、半導体5の実装に使われる突起部3の形成とを同時に、しかも複数箇所を一括で形成することができるため、製造工程数を大幅に削減することができる。また、突起部3の高さばらつきをフィルム20の溝部の深さばらつきで抑えることができるため、半導体5と基板1との電氣的な接続をより確実にすることができる。

【0070】なお、エキシマレーザによるフィルム溝加工の深さばらつきは、3μm以下であり、接続の際に全く問題のないレベルである。本実施の形態ではレーザに

よる溝加工を行ったが、溝加工の方法としては、エッチングや金型成形による方法でもよい。

【0071】(実施の形態2)次に、突起部3と半導体5の電極部6の接続について、実施の形態1とは異なる方法について、図4を用いて説明する。

【0072】図4は、本発明の実施の形態2における半導体を基板に実装した際の部分断面図である。なお、実施の形態1と同様の構成については、同一の番号を付し、その説明を省略する。

【0073】図において、実施の形態1と同様の方法で配線パターン2と一体に形成された突起部3の表面には導電性樹脂、Au-A1、あるいはAu-Auからなる金属メッキ層30が形成されており、同様に半導体5の電極部6の表面にも導電性樹脂、Au-A1、あるいはAu-Auからなる金属メッキ層30が形成されており、これらはAg-Pd等の導電ペースト31を介して接合されている。

【0074】これにより、突起部3と電極部6の接合が金属結合となり、電気的な接続がより確実に行えとともに、導電ペースト31としてAg-Pd等のような抵抗値の低い材料を選択することにより、より高周波化にも対応が可能となる。

【0075】また、突起部3と電極部6の他の接続方法として、図5に示すように、突起部3をAuペーストで形成するとともに、電極部6をA1で形成し、突起部3の接合部分に超音波を加えて局部加熱させ、接合部分を活性化させて電極部6と接合させる方法もある。

【0076】これにより、突起部3と電極部6の接合がAu-A1の共晶結合となり、電気的な接合がより確実に行えとともに、半田等の接着層なしに接続が可能となる。

【0077】(実施の形態3)次に、突起部3と半導体5の電極部6の接続について、実施の形態1、2とは異なる方法について、図6を用いて説明する。

【0078】図6は、本発明の実施の形態3における半導体を基板に実装する際の工程図である。なお、実施の形態1と同様の構成については、同一の番号を付し、その説明を省略する。

【0079】図6(a)に示されるように、実施の形態1と同様の方法で基板1上に一体に形成された配線パターン2および突起部3に、あるいはそれらが形成された基板全体にブラスト粉流32を加えることにより、その表面を粗化することができることと清浄化することができること、図6(b)に示されるように導電ペースト8との接触面積を増加させて密着強度を高めることができるとともに、封止部材7を加えた際のアンカー効果が得られる。

【0080】なお、本実施の形態では、ブラスト処理を施したが、エッチング処理を施しても同様の効果が得られるとともに、実施の形態2のような金属結合や共晶結

合に適用しても同様の効果が得られる。

【0081】(実施の形態4)次に、本発明の応用例について、図を用いて説明する。なお、実施の形態1と同様の構成については、同一の番号を付し、その説明を省略する。

【0082】図7は、本発明の実施の形態4における多層基板の構成を示す断面図である。図において、実施の形態1と同様の方法で基板1上に配線パターン2aおよび突起部3aを形成し、その上面に絶縁層21aを塗布、研磨、平坦化した後、絶縁層21aから露出した突起部3aと電気的に接続するように配線パターン2bおよび突起部3bを形成し、その上面に絶縁層21bを塗布、研磨平坦化させ、さらに絶縁層21bから露出した突起部3bと電気的に接続するように配線パターン2cおよび突起部3cを形成して多層基板を形成している。この工程を繰り返すことにより、より多層化が可能となり、より実装密度を高めることができる。

【0083】なお、多層化する際に、その都度、研磨処理を行っているが、これにより、基板1のそりを補正(吸収)でき、各層間での導通不良を減少させることができる。

【0084】(実施の形態5)次に、突起部3と半導体5の電極部6の接続について、実施の形態1、2、3とは異なる方法について、図11を用いて説明する。

【0085】図11は、本発明の実施の形態5における半導体を基板に実装した際の部分断面図である。なお、実施の形態1と同様の構成については、同一の番号を付し、その説明を省略する。

【0086】図において、実施の形態1と同様の方法で配線パターン2と一体に突起部3が形成され、一方、半導体5の電極部6にはその表面にAuメッキ層30が形成され、Pb-Sn、あるいはAg-Sn等の半田33を介して接合されている。

【0087】これにより、突起部3と電極部6の接合が半田33による金属結合となり、低抵抗な接続が確実に行え、高周波化にも対応が可能となる。

【0088】また、突起部3と電極部6の他の接続方法として、図12に示すように、異方性導電樹脂34を介して接合させる方法もある。

【0089】異方性導電樹脂34を用いることにより、異方性導電粒子34aが突起部3と電極部6の間に介在して電気的な接続が可能となり、同時に半導体5と基板1の間の封止も行えるため、工程数が少なく、より確実な接合が行える。

【0090】さらに、突起部3と電極部6の他の接続方法として、突起部3をAuメッキ処理されているか、またはAuペーストで形成するとともに、電極部6をAuメッキ処理し、突起部3の接合部分に超音波を加えて局部加熱させ、接合部分を活性化させて電極部6と接合させる方法もある。

【0091】これにより、突起部3と電極部6がAu-Au接合となり、より低抵抗な接合が確実に行えるとともに、半田等の接着層なしに接続が可能となる。

【0092】(実施の形態6)次に、突起部3と半導体5の電極部6の接続について、実施の形態1、2、3、5とは異なる方法について、図13を用いて説明する。

【0093】図13は、本発明の実施の形態6における突起部をレベリングする際の工程図である。なお、実施の形態1と同様の構成については、同一の番号を付し、その説明を省略する。

【0094】図に示されるように、実施の形態1と同様の方法で基板1上に配線パターン(図示せず)と一体に形成された突起部3を、金属平板等の平坦な面35で負荷を加え、レベリングすることにより、突起部3の高さばらつきを低減できるとともに、実装される半導体の電極部との隙間ばらつきが低減でき、より接続が確実なものとなる。

【0095】また、本実施の形態では、金属平板等の平坦な面を用いてレベリング処理を施したが、図14のように、実装される半導体5の電極部6で負荷を加え、レベリングする方法もある。

【0096】この方法によれば、突起部3の高さばらつきが、実装される半導体5の電極部6の高さばらつきに倣うため、突起部3と実装される半導体5の電極部6の隙間ばらつきが最少限に抑えられ、より接続が確実なものとなる。特に、半導体5の電極部6に半田等の厚みばらつきの大きい膜を形成する場合には有効な方法となる。

【0097】(実施の形態7)次に、突起部3と半導体5の電極部6の接続について、実施の形態1、2、3、5、6とは異なる方法について、図15、16を用いて説明する。

【0098】図15は、本発明の実施の形態7における導電ペーストを塗布する際の工程図であり、図16は、突起形状改善前における導電ペーストを塗布する際の工程図である。なお、実施の形態1と同様の構成については、同一の番号を付し、その説明を省略する。

【0099】図16に示す通り、突起部3の形状が単純な円柱形の場合、導電ペースト8を突起部3先端の面で捕らえるため、塗布量にばらつきが生じ、突起部と半導体の電極部の接続が不確実になる。それに対して、図15に示すような突起部3の形状が凸形状を成す場合、導電ペースト8を突起部3先端の点で捕らえるため、塗布量にばらつきが生じない。これにより、突起部3と半導体の電極部の接続が確実なものとなる。

【0100】

【発明の効果】以上の説明より明らかなように、本発明によれば、配線パターンと同一の導電性材料で突起部を形成することができるため、突起部と配線パターンとの電気的な接続を確実に行うことができ、実装される電子

部品の電極部と突起部との電気的な接続も確実に行うことができる。

【0101】また基板に配線パターンを形成する際に、同時にしかも一括して突起部を形成することができるため、生産性を大幅に向上させることができるとともに、突起部の形状を揃えることができ、半導体の電極部との電気的な接続を確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体とそれを実装する基板の構成を示す斜視図

【図2】同実施の形態における半導体を基板に実装した際の断面図

【図3】同実施の形態における突起部の形成方法を示す工程図

【図4】本発明の実施の形態2における半導体を基板に実装した際の部分断面図

【図5】同実施の形態における他の例を示す部分断面図

【図6】本発明の実施の形態3における半導体を基板に実装する際の工程図

【図7】本発明の実施の形態4における多層基板の構成を示す断面図

【図8】従来の半導体装置の断面図

【図9】同従来例の半導体とそれを実装する基板の構成を示す斜視図

【図10】同従来例における突起部の形成方法を示す断面図

【図11】本発明の実施の形態5における半導体を基板に実装した際の部分断面図

【図12】同実施の形態における半導体を基板に実装した際の部分断面図

【図13】本発明の実施の形態6における突起部をレベリングする際の工程図

【図14】同実施の形態における突起部をレベリングする際の工程図

【図15】本発明の実施の形態7における導電ペーストを塗布する際の工程図

【図16】突起形状改善前における導電ペーストを塗布する際の工程図

【符号の説明】

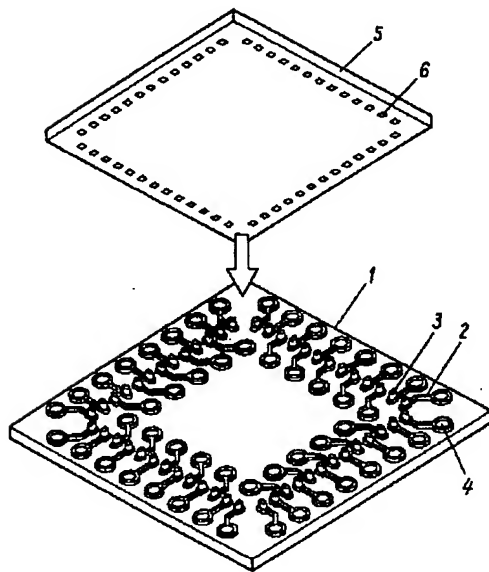
- 1 基板
- 2 配線パターン
- 3 突起部
- 4 スルーホール電極部
- 5 半導体(ベアチップ)
- 6 電極部
- 7 封止部材
- 8 導電ペースト
- 9 半田ボール
- 10 絶縁層
- 20 フィルム

- 21 レーザ光
- 22 第1の溝部
- 23 第2の溝部
- 24 導電性材料
- 25 スキージ

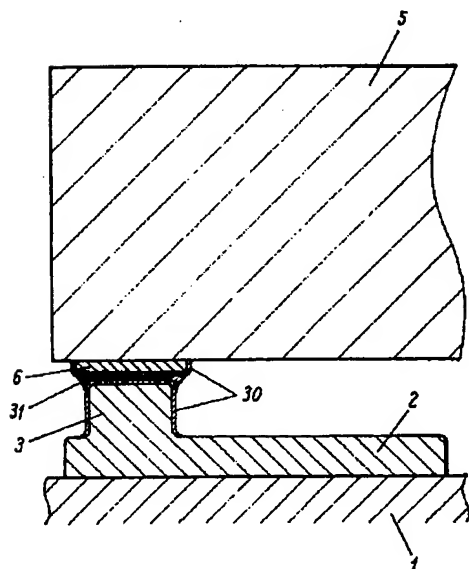
- 26 接着層
- 30 金属メッキ層
- 31 導電ペースト
- 32 ブラスト粉流

【図1】

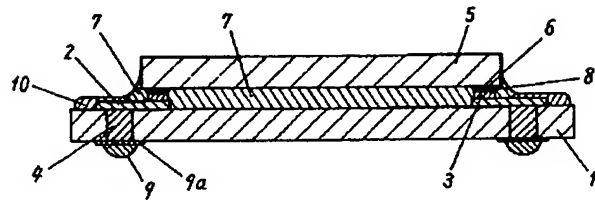
- 1 基板
- 2 配線パターン
- 3 突起部
- 4 スルーホール電極部
- 5 半導体(パチフ)
- 6 電極部



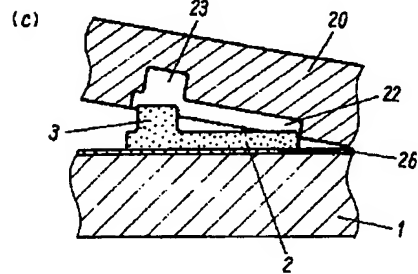
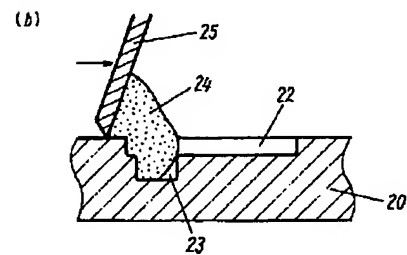
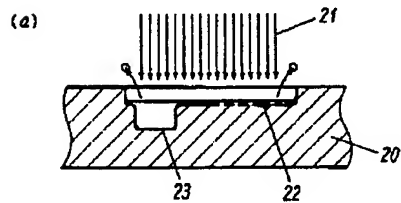
【図4】



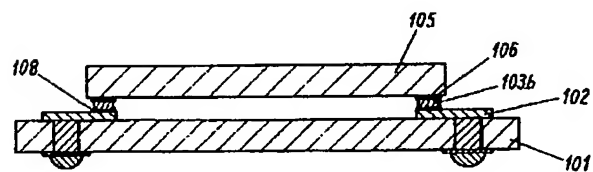
【図2】



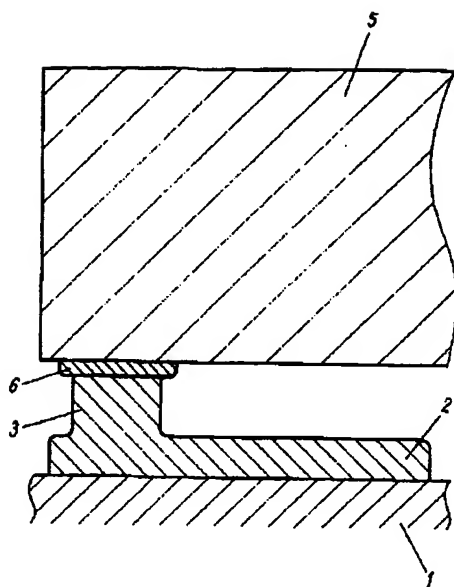
【図3】



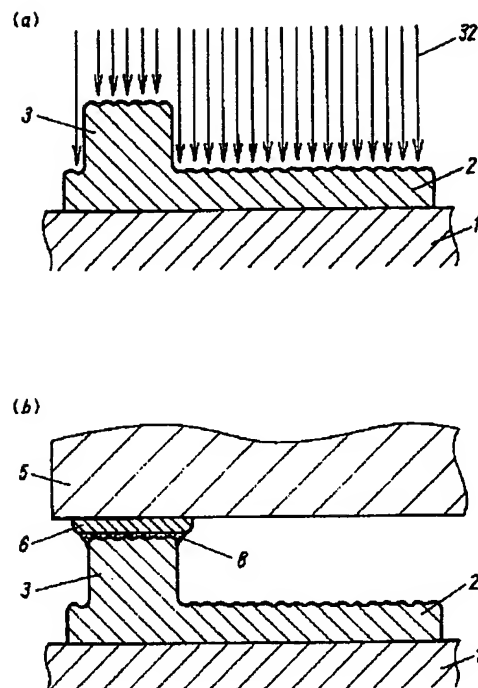
【図8】



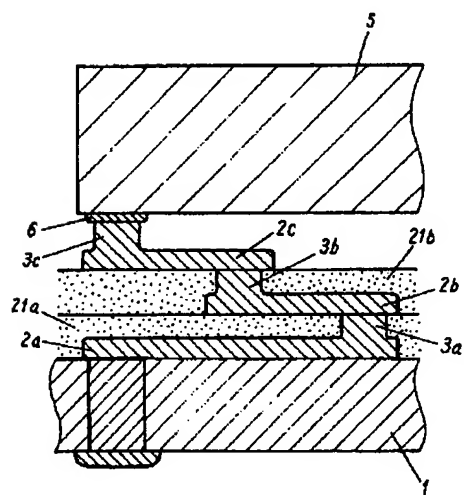
【図5】



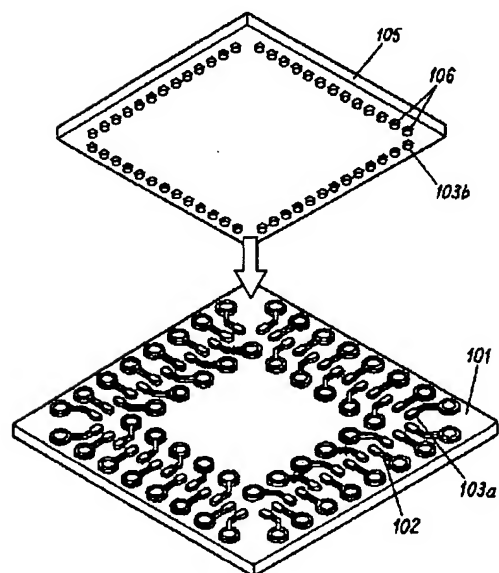
【図6】



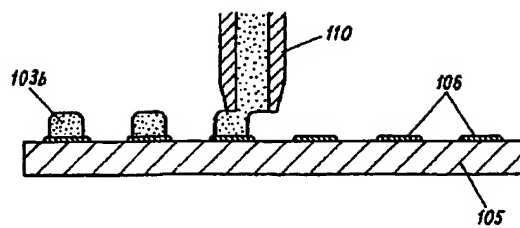
【図7】



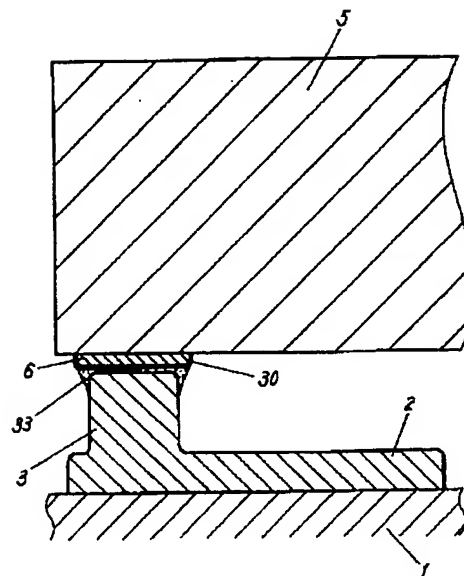
【図9】



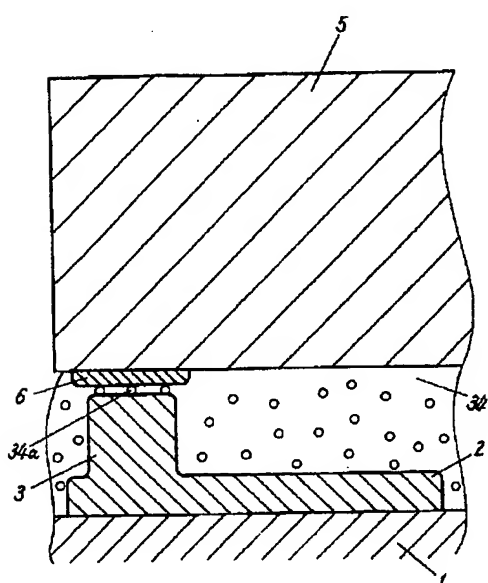
【図10】



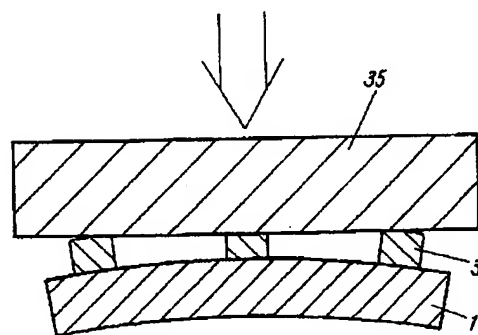
【図11】



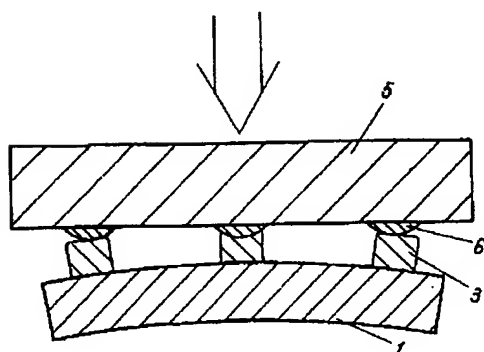
【図12】



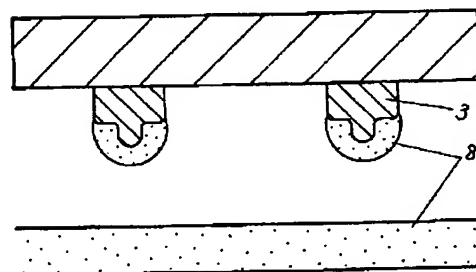
【図13】



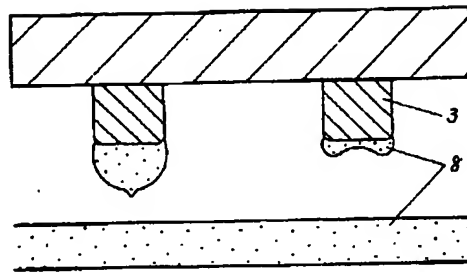
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I
H 0 1 L 23/12

テコード (参考)

Q